

# 基于 Camera Link 接口的 CMOS 相机小型化设计

白龙温<sup>1</sup>, 贾铭<sup>2</sup>

(1. 天津机电职业技术学院, 天津 300350; 2. 河北工业大学, 天津 300401)

**摘要:** 基于 Camera Link 接口设计了一款小型 CMOS 相机并进行仿真验证。硬件的小型化设计包括硬件功能模块划分、主要器件选型、整机供电分布以及 PCB 设计等; 软件的小型化设计为以 FPGA 内部集成 Camera Link 并串转换模块来代替传统的转换芯片。整机实测结果表明相机工作稳定可靠。本研究对于 CMOS 相机小型化设计具有借鉴意义, 同时由于探测器模块配置的灵活性, 亦可作为 CMOS 相机的一种通用处理平台。

**关键词:** 工业自动化; Camera Link; CMOS 相机; 小型化

近年来, 在产品分类、包装缺陷检测等工业生产自动化领域, 以 CMOS 相机为核心的机器视觉检测系统的应用越来越重要<sup>[1][2]</sup>。多通道大面阵 CMOS 相机的广泛应用带来了数据传输速度的大幅度提升。Camera Link 接口因通过不同的配置方式可以适应不同工业相机对于传输带宽的要求而受到广泛青睐。在 CMOS 相机向着高分辨率、高帧频、低成本和小型化方向的发展趋势下, 研究基于 Camera Link 接口的 CMOS 相机的小型化设计将具有积极的意义。

目前传统主流方案中, 相机的硬件尺寸较大, 使用过多的 PCB 板间连接器, 并采用 FPGA + Camera Link 接口并串转换芯片的方式。虽然这种方式降低了接口的开发难度, 但一片接口芯片

就需要传输 28 位并行图像数据, 占用了 FPGA 的大量 IO 管脚和布线资源; 同时根据 Camera Link 协议标准, 实现 Camera Link 的 BASE 模式只需使用一片并串芯片, 而实现 FULL 模式则需要三片并串芯片, 会增加电路板的走线、焊盘和管脚, 占用大片 PCB 面积, 增加硬件成本, 不利于摄像机的低成本和集成化。<sup>[3][4][5]</sup> 基于此, 本文以 FPGA 作为主控芯片, 通过合理规划硬件模块、采用刚柔结合板设计、在 FPGA 内部集成 Camera Link 并串转换模块等方式, 最终实现了相机的低成本小型化设计。

本文内容主要包括相机的硬件设计、Camera Link 并串模块接口设计和实验结论三个部分。

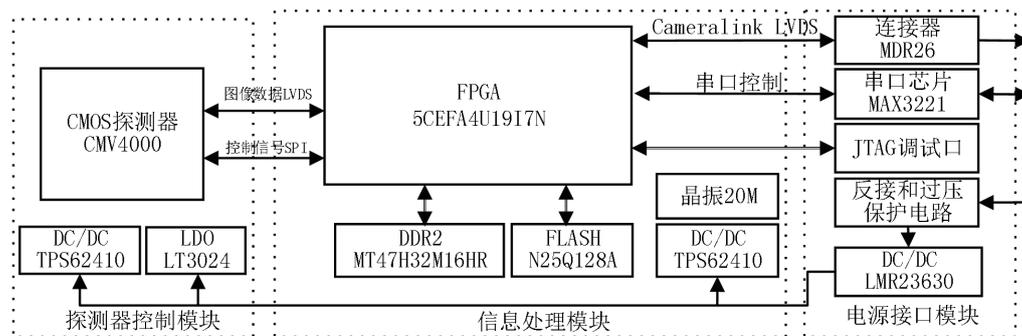


图 1 相机硬件系统框图

Fig.1 Block diagram of camera hardware system

收稿日期: 2021 - 10 - 12

第一作者简介: 白龙温 (1987 - ), 男, 工程师, 硕士

### 1 硬件设计

相机硬件主要由探测器控制模块、信息处理模块、电源接口模块组成，系统结构框图如图1所示。

探测器控制模块采用CMOSIS公司CMV4000工业图像传感器，分辨率为2048×2048，16个LVDS/DDR输出通道，每条通道的速率是480Mbps，最高帧频180fps。<sup>[4][5]</sup>该探测器仅需4路供电，其中两路供电对电源噪声敏感，故采用一片集成度较高的双路输出LDO，即Linear公司的LT3024，尺寸仅为4\*3mm，输出能力为500mA和100mA。外置电容均为D壳钽电容以便减少体积。

信息处理模块架构为FPGA+DDR2+FLASH。FPGA为Altera公司CycloneV系列的5CEFA4U19I7N，自带DDR硬件控制器，具有56个840Mbps的LVDS接收\发送器。DDR2为Micron公司的MT47H32M16HR-25E。FLASH为Micron公司的N25Q128A。电源分配图如图2所示。信息处理模块主要需要1.1V、1.8V、2.5V和3.3V供电，采用两片小尺寸双路输出DC/DC变换器，即TI公司的TPS62410，尺寸仅为3\*3mm，输出能力均高达800mA。

电源接口模块包括3M公司的MDR26连接器、电压防反以及过压保护电路、一次电源电路和通讯调试接口等。一次电源使用TI公司的LMR23630，该芯片输入电压范围广，可持续输出3A电流，尺寸为3\*3mm。通讯接口为RS232形式，选用TSSOP封装的MAX3221。

相机硬件的供电设计如图2：

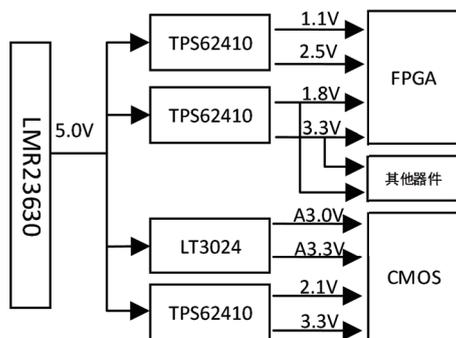


图2 相机硬件供电图

Fig.2 Hardware power supply diagram

相机硬件的三个功能模块分别位于三个40mm\*40mm的PCB板，板间连接摒弃了传统的

高速屏蔽连接器的方式，采用刚柔结合板，这样不仅节省连接器还减少了硬件成本和体积。整机3D装配图和实物展开如图3所示。PCB后期进行盲埋孔工艺改进后，PCB尺寸将进一步减少，相机体积也将大大减少。

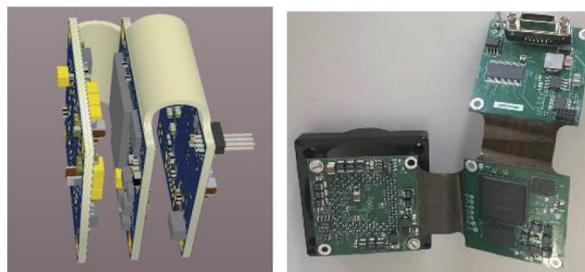


图3 相机的3D设计图和实物图

Fig.3 Camera's 3D design and real product

相机硬件PCB板包含大量的模拟和数字信号，尤其柔性PCB部分还传输高速LVDS数字信号。在综合考虑信号数目以及电源种类、内电层位置以及不同层的信号分布后，PCB叠层设计为8层，如表1所示。其中顶层L1和底层L8层的单端信号（特性阻抗为50欧姆）线宽为4.5Mil，主要参考L2和L7的地层面。考虑L3层和L6层是柔性PCB部分的主要信号传输层，其单端信号（特性阻抗为50欧姆）线宽为4Mil，主要参考平面分别是L4电源层和L5地层面；而L3层和L6层在刚性PCB部分也有2个相邻层，因此在刚性PCB部分L3层和L6层要尽量远离L2层和L7层，以确保信号有更好的完整性。

表1 PCB叠层设计方案

Table 1 PCB stack design

叠层设计	刚性PCB部分信号分布层	柔性PCB部分信号分布层
L1	Signal	
L2	GND	
L3	Signal	Signal
L4	POWER	POWER
L5	GND	GND
L6	Signal	Signal
L7	GND	
L8	Signal	

### 2 Camera Link 并串转换模块

Camera Link 协议是基于低压差分信号(LVDS)形式传输的，通过一对差分PCB走线或平衡电缆传输数据。Camera Link 信号包括图像数据信号、相机控制、串行通信信号和电源信号。

其中图像数据包括 28 个单端数据信号和 1 个时钟信号。一般使用的并串转换芯片为 TI 公司的 DS90CR287。该芯片将这些信号以 7:1 的比例串行发送，输出 4 对 LVDS 数据流和 1 对 LVDS 时钟信号。在 FPGA 内部编码并串转换模块来实

现 Camera Link 协议，实现的功能与 DS90CR287 相同。在完成数据的并串转换的功能后，通过 FPGA 的 LVDS 差分管脚直接对外输出。

并串转换模块主要分为 3 个部分：端口映射、协议编码、并串编码。信号流程如图 4 所示。



图 4 Camera Link 并串转换模块信号流程图

Fig.4 Camera Link parallel-to-serial conversion module signal flow chart

2.1 端口映射

端口映射将像素点数据映射为 Camera Link 中抽象出的 port 端口，并将 port 端口映射为并串转换芯片的 Pin-Name。根据 Camera Link 协议<sup>[6]</sup><sup>[7]</sup>，抽象出端口分配图如表 2 所示。实际使用的

CMOS 探测器的输出像素为 10bit 数据，故本文以 Camera Link 的 Base 模式 10-bit 像素点为例研究。Camera Link 其他像素点比如 8-bit、12-bit 按照协议进行类比配置即可。

表 2 Base 型 10-bit 字节的端口分配图

Table 2 The port allocation diagram of Base 10-bit bytes

像素点配置	PORT 端口	并串转换芯片	像素点配置	PORT 端口	并串转换芯片	像素点配置	PORT 端口	并串转换芯片
10Bit x1	Port/bit	Pin-Name	10 Bit x1	Port/bit	Pin-Name	10 Bit x1	Port/bit	Pin-Name
	LVAL	Tx24	A6	Port A6	Tx27		Port C0	Tx15
	FVAL	Tx25	A7	Port A7	Tx5		Port C1	Tx18
	DVAL	Tx26	A8	Port B0	Tx7		Port C2	Tx19
	Spare	Tx23	A9	Port B1	Tx8		Port C3	Tx20
A0	Port A0	Tx0		Port B2	Tx9		Port C4	Tx21
A1	Port A1	Tx1		Port B3	Tx12		Port C5	Tx22
A2	Port A2	Tx2		Port B4	Tx13		Port C6	Tx16
A3	Port A3	Tx3		Port B5	Tx14		Port C7	Tx17
A4	Port A4	Tx4		Port B6	Tx10			
A5	Port A5	Tx6		Port B7	Tx11			

PortA、PortB、PortC 三路 8-bit 信号和 LVAL、DVAL、FVAL 以及 Spare 信号一起构成了 Camera Link 图像信号的 28 个单端数据信号，其端口映射的 Verilog 代码如下：

```

Tx[6:0] <= {PortA[5],ortA[7],PortA[4:0]};
Tx[13:7]<={PortB[4],PortB[3],PortB[7],PortB[6],
PortB[2:0]};
Tx[20:14]<={PortC[3:1],PortC[7],PortC[6],PortC[
0],PortB[5]};
Tx[27:21]<={PortA[6],DVAL,FVAL,LVAL,Spar
e,PortC[5],PortC[4]};
    
```

2.2 协议编码

DS90CR287 信号时序图如下所示<sup>[8]</sup>

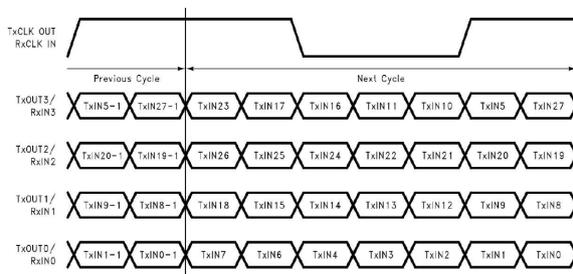


图 5 DS90CR287 信号时序图

Fig.5 DS90CR287 signal timing diagram

将 28 路数据信号按照 DS90CR287 时序图中 Pin-Name 的映射位序进行编码即实现了 Camera

Link 的数据编码功能。注意需要将同步时钟信号一起编码。协议编码的 Verilog 代码如下：

```

TxClk <= 7'b110_0011;
Chan3<={Txin[23],Txin[17],Txin[16],Txin[11],Txin[10],Txin[5],Txin[27]};
Chan2<={Txin[26],Txin[25],Txin[24],Txin[22],Txin[21],Txin[20],Txin[19]};
Chan1<={Txin[18],Txin[15],Txin[14],Txin[13],Txin[12],Txin[9],Txin[8]};
Chan0<={Txin[7],Txin[6],Txin[4],Txin[3],Txin[2],Txin[1],Txin[0]};

```

代码中 Chan0-Chan3 分别对应 DS90CR287 信号时序图中的 TxOUT0-TxOUT3，表示四对 LVDS 数据。TxCLK 对应时序图中的 TxCLK

OUT，表示一对 LVDS 时钟信号。

### 2.3 并串编码

28路数据信号与同步时钟信号编码完成后，最终通过并串编码转换，以 Camera Link 协议的形式输出 5 路 LVDS 信号。具体来说就是将已经编码的 Chan0、Chan1、Chan2、Chan3 和 TxClk 信号进行 7: 1 并串转换。FPGA 内含丰富的原语和专业 IP 核，可实现不同的功能，并将 FPGA 的 IO 例化为多种形式的电平接口。并串转换使用的专业 IP 核为 ALTLVDS\_TX，其主要参数配置为：并行数据输入时钟 80M，串行数据的输出信号速率 560Mbps，使用内部锁相环 PLL，用于生成所需的时钟信号，并根据 PCB 实际走线调试后设置合适的 LVDS 输出时钟相移。配置如图 6。

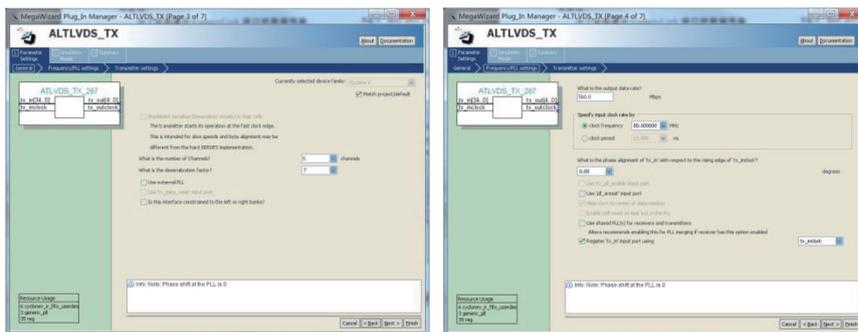


图 6 ALTLVDS\_TX 的 IP 核配置界面

Fig.6 IP core configuration interface of ALTLVDS\_TX

顶层例化代码如下：

```

ATLVDS_TX_287
ATLVDS_TX_287_inst
(.tx_in( {TxClk,Chan3,Chan2,Chan1,Chan0}),
.tx_inclock ( Clk_i ),
.tx_out ( {TxCLK OUT, TxOUT3, TxOUT2, TxOUT1, TxOUT0} ),
.tx_outclock ( tx_outclock_sig ));

```

代码中 TxOUT3、TxOUT2、TxOUT1、TxOUT0、TxCLK OUT 表示 4 路 LVDS 数据和 1

路 LVDS 时钟，将其分配到 FPGA 的专用差分输出管脚，并配置为符合 Camera Link 标准的电气接口。

### 2.4 时序仿真验证

使用 Modelsim SE 10.1a 作为仿真平台。在 Testbench 中 CMOS 探测器输出时钟设为 80M，输出的 10bit 数据全为 1。LVAL 行有效时间设置为 20 个像素时钟，行消隐时间设为 2 个像素时钟，FVAL 帧有效时间设置为 42 个像素时钟，即每帧包括 2 行数据。仿真结果如下：

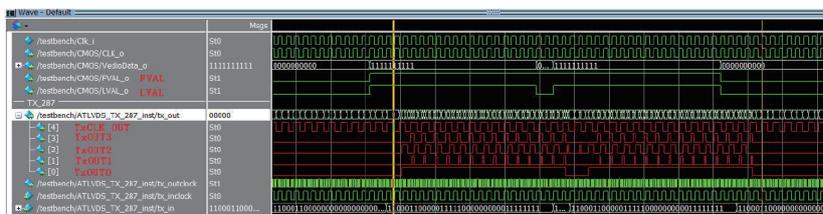


图 7 Modelsim 时序仿真图

Figure.7 Modelsim timing simulation diagram

黄色线中间为一帧数据。CMOS 探测器输出的一个 10bit 全 1 像素数据经并串转换模块后输出的时序图和图 8 一致,符合设计要求,验证了编码的正确性和可行性。

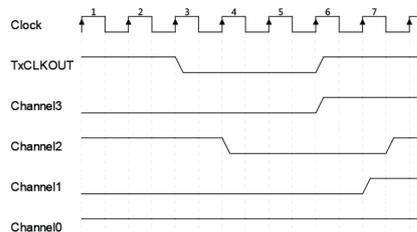


图 8 时序图

Fig.8 Timing diagram

### 3 实验和结论

使用 Altera 公司的 Quartus13.1 作为编译和调试软件,Matrox 的图像采集卡在 PC 端显示器进行验证。整体相机实物测试如图 9 所示。根据项目实际使用需要,CMV4000 探测器的输出图像大小为 1280\*1024,采用 50Hz 的帧频和 10bit 的图像数据输出。图 9 是上位机 Matrox Intelicam 的图像显示。经过长时间测试,信号传输可靠稳定,图像显示清晰,符合设计预期。

本文设计了一款小型低成本 Camera Link 接口的工业 CMOS 相机,介绍了相机硬件设计,包括功能模块的优化分布,各个模块的架构和



图 9 相机实物测试图和上位机显示

Figure 9 Camera physical test chart and host computer display

主要器件选型以及电源拓扑结构,并着重说明 PCB 叠层设计;重点分析了 FPGA 内部编码实现 Camera Link 协议 Base 模式输出编码的步骤和方法,并通过功能仿真验证了代码实现的可能性。设计的小型化相机经仿真实验性能稳定,验证了设计的正确性。由于硬件采用模块化设计,后续可使用不同型号的探测器,只针对性更改优化探测器控制模块即可,故本相机可作为一种通用小型化 Camera Link 接口的工业相机处理平台。

#### 参考文献:

- [1] 班瑜媛,曹勇军.基于智能制造的塑壳断路器优化设计[J].电器与能效管理技术,2018,(18):27-31.
- [2] 方毅芳,石镇山.基于智能制造的塑壳断路器优化设计[J].电器与能效管理技术,2017,(24):5-12.
- [3] 刘彪.基于FPGA的Camera Link输出编码设计[J].液晶与显示,2015,(02):269-274.
- [4] 张克寒.高清CMOS图像传感器多通道数据传输系统设计[J].仪表技术与传感器,2017,(02):54-57.
- [5] 夏侯耀涛.高速CMOS相机驱动设计及光学图像预处理[D].中国科学院大学.
- [6] 单彦虎.基于FPGA的Camera Link图像数据接口设计[J].仪表技术与传感器,2020,(09):51-54.
- [7] Camera Link Specifications of the Camera Link Interface Standard for Digital Cameras and Frame Grabbers.
- [8] DS90CR287/DS90CR288A +3.3V Rising Edge Data Strobe LVDS 28-Bit Channel Link-85M Hz[R].数据手册.

## Miniaturization Design of CMOS Camera based on Camera Link Interface

BAI Long—wen<sup>1</sup>, JIA Ming<sup>2</sup>

(1.Tianjin Vocation College of Mechanics Electricity, Tianjin300350, China; 2.Hebei University of Technology, Tianjin300401, China)

**Abstract:** With the release and implementation of the "Made in China 2025" strategy, the manufacturing industry has put forward higher and higher requirements for automated product production. This article designs a small CMOS camera based on the Camera Link interface and introduces it from both software and hardware. The miniaturization design of the hardware includes the division of hardware functional modules, the selection of main components, the distribution of the power supply of the camera, and the PCB design. The miniaturization of the software is designed to integrate the Camera Link parallel—serial conversion module inside the FPGA to replace the traditional hardware conversion chip and perform simulation verification. Experimental results show that the camera is reliable and stable. It has reference significance for the miniaturization design of CMOS camera. Due to the flexibility of the configuration of the detector module, the camera can be used as a general processing platform for CMOS cameras.

**Keywords:** industrial automation; Camera Link; CMOS Camera; miniaturization design

(上接第23页)

## The Applicable Regulations of Punitive Compensation for Environmental Infringement

——Taking "Zhejiang Hailan Chemical Group Co., Ltd. Environmental Pollution Liability Dispute Case" as an Example

GAO Meng

(Law School, Anhui University, Hefei230601, China)

**Abstract:** Article 1232 of the "Civil Code" introduces a punitive compensation system for the first time in the field of environmental torts, which forms a beneficial supplement to environmental public law responsibilities while protecting the private interests of the environment. However, combined with practical cases, the current application of the system still has problems such as broad claimants, improper rules of burden of proof, lack of statutory standards for compensation amounts, and conflicts with public law responsibilities. More attention should be paid to application in the perfection of the system. Scope reduction, reasonable allocation of procedural responsibilities, establishment of statutory compensation standards and a sequential deduction mechanism under the overlap of responsibilities to realize its institutional value.

**Key words:** the civil code; environmental tort; punitive compensation